

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-219279

(43)Date of publication of application : 10.08.1999

(51)Int.Cl.

G06F 7/00

(21)Application number : 10-314372

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 05.11.1998

(72)Inventor : OKAMOTO OSAMU
KADOTA HIROSHI
MINO YOSHITERU

(30)Priority

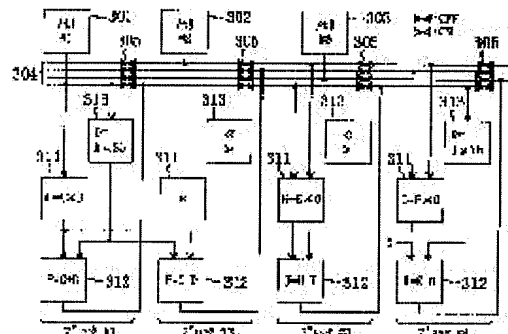
Priority number : 09308197 Priority date : 11.11.1997 Priority country : JP

(54) DIGITAL SERIAL ARITHMETIC UNIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a digit serial arithmetic unit capable of reconfiguration.

SOLUTION: This unit is provided with a bus 304 for data transfer, a bus switch 305 for dividing the bus and four arithmetic blocks (#1, #2, #3, and #4) for a series of fixed point arithmetic operations. The respective arithmetic blocks are provided with plural digit serial computing elements as a multiplier 311, an adder-subtractor 312 and a shifter 313. The respective digit serial computing elements are provided with a function to receive plural input digits for indicating an input operand and the digit position display of the respective plural input digits, and to supply plural result digits for indicating the arithmetic result of the input operand and the digit position display of the respective plural result digits to other digit serial computing element. Especially, the digit serial adder-subtractor 312 incorporates a selector for input changeover so as to execute a butterfly arithmetic operation.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-219279

(43) 公開日 平成11年(1999) 8月10日

(51) Int.Cl.⁶

G 0 6 F 7/00

識別記号

F I

G 0 6 F 7/00

D

審査請求 有 請求項の数 6 O L (全 17 頁)

(21) 出願番号 特願平10-314372

(22) 出願日 平成10年(1998)11月5日

(31) 優先権主張番号 特願平9-308197

(32) 優先日 平9(1997)11月11日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 岡本 理

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 康田 浩

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 三野 吉輝

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

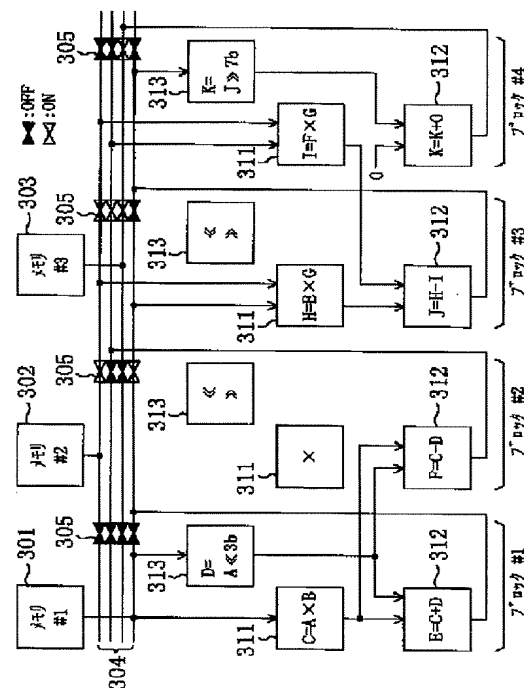
(74) 代理人 弁理士 前田 弘 (外1名)

(54) 【発明の名称】 デジットシリアル演算装置

(57) 【要約】

【課題】 リコンフィギュレーションが可能なデジットシリアル演算装置を提供する。

【解決手段】 一連の固定小数点演算のために、データ転送のためのバス304と、該バスを切り分けるためのバススイッチ305と、4個の演算ブロック(#1、#2、#3及び#4)とを設ける。各演算ブロックは、複数のデジットシリアル演算器、すなわち乗算器311、加減算器312及びシフタ313を備えている。各デジットシリアル演算器は、入力オペランドを表す複数の入力デジットと、該複数の入力デジットの各々のデジット位置表示とを受け取り、かつ入力オペランドの演算結果を表す複数の結果デジットと、該複数の結果デジットの各々のデジット位置表示とを他のデジットシリアル演算器へ供給する機能を有する。特にデジットシリアル加減算器312は、バタフライ演算を実行できるように、入力切替のためのセレクトを内蔵している。



【特許請求の範囲】

【請求項 1】 複数のディジットシリアル演算器を備えたディジットシリアル演算装置であって、前記複数のディジットシリアル演算器の各々は、該ディジットシリアル演算器の入力オペランドを表す複数の入力ディジットと、該複数の入力ディジットの各々のディジット位置表示とを受け取り、かつ前記入力オペランドの演算結果を表す複数の結果ディジットと、該複数の結果ディジットの各々のディジット位置表示とを他のディジットシリアル演算器へ供給する機能を有することを特徴とするディジットシリアル演算装置。

【請求項 2】 請求項 1 記載のディジットシリアル演算装置において、前記複数のディジットシリアル演算器のうちの少なくとも 1 つは、複数のディジット乗算器を有するディジットシリアル乗算器であり、前記ディジット乗算器の各々は、乗数オペランドを表す複数の乗数ディジットのうちインデックス信号で指定された 1 ディジットと、被乗数オペランドを表す複数の被乗数ディジットの各々との乗算を実行する機能を有することを特徴とするディジットシリアル演算装置。

【請求項 3】 請求項 1 記載のディジットシリアル演算装置において、前記複数のディジットシリアル演算器のうちの少なくとも 1 つはディジットシリアル加減算器であることを特徴とするディジットシリアル演算装置。

【請求項 4】 請求項 1 記載のディジットシリアル演算装置において、前記複数のディジットシリアル演算器のうちの少なくとも 1 つはディジットシリアルシフタであることを特徴とするディジットシリアル演算装置。

【請求項 5】 請求項 1 記載のディジットシリアル演算装置において、前記複数のディジットシリアル演算器の各々は、他のディジットシリアル演算器から供給された複数の結果ディジット及び該複数の結果ディジットの各々のディジット位置表示と、更に他のディジットシリアル演算器から供給された複数の結果ディジット及び該複数の結果ディジットの各々のディジット位置表示とのいずれかを選択的に受け取るためのセレクタを備えたことを特徴とするディジットシリアル演算装置。

【請求項 6】 請求項 1 記載のディジットシリアル演算装置において、データ転送のためのバスと、各々ディジットシリアル演算器間の複数の独立バスを形*

* 成するように前記バスを切り分けるためのバススイッチとを更に備えたことを特徴とするディジットシリアル演算装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ディジットシリアル型の演算装置に関するものである。

【0002】

【従来の技術】ディジットシリアル型の演算装置が米国特許第 5, 0 1 6, 0 1 1 号に示されている。この演算装置によれば、1 データワードが複数のディジットに分割される。各ディジットは、例えば 4 ビットからなる。この種の演算装置によれば、ワードパラレル・アーキテクチャとビットシリアル・アーキテクチャとの双方の利点を活かすことにより、高いスループットを実現できる。

【0003】

【発明が解決しようとする課題】DSP（ディジタル信号処理装置）の中では、各々異なるビット数を有する種々のデータワードを処理する必要がある。したがって、ディジットシリアル型の DSP を実現しようとする、1 データワードを構成するディジットの数の変化に対応して該 DSP のコンフィギュレーションを変更できるようにしなければならない。ところが、上記従来のディジットシリアル演算装置は、コンフィギュレーションを柔軟に変更できるものではなかった。

【0004】本発明の目的は、リコンフィギュレーションが可能なディジットシリアル演算装置を提供することにある。

【0005】

【課題を解決するための手段】上記目的を達成するため、本発明は、複数のディジットシリアル演算器を備えた装置において、各ディジットシリアル演算器ごとに演算結果に応じて新たにディジット位置表示を付け直すことでディジットの概念を保つようにしたものである。更に、複数のディジットシリアル演算器をネットワークで組み合わせることで、プログラマブル性を持たせることが可能になる。

【0006】

【発明の実施の形態】本発明の実施形態を説明する前に、ディジタル信号処理装置における一連の算術演算の例を説明する。画像の圧縮符号化に好適に実施される離散コサイン変換 (Discrete Cosine Transform: DCT) は、

$$C(13b, 3b) = A(8b, 0b) \times B(5b, 3b) \quad \dots (1)$$

$$D(8b, 3b) = A(8b, 0b) << 3b \quad \dots (2)$$

$$E(13b, 3b) = C(13b, 3b) + D(8b, 3b) \quad \dots (3)$$

$$F(13b, 3b) = C(13b, 3b) - D(8b, 3b) \quad \dots (4)$$

$$H(14b, 10b) = E(13b, 3b) \times G(1b, 7b) \quad \dots (5)$$

3

4

$$I(14b.10b) = F(13b.3b) \times G(1b.7b) \quad \dots (6)$$

$$J(14b.10b) = H(14b.10b) - I(14b.10b) \quad \dots (7)$$

$$K(14b.3b) = J(14b.10b) >> 7b \quad \dots (8)$$

$$L(5b.3b) = \text{trunc}[K(14b.3b)] \quad \dots (9)$$

のような一連の固定小数点演算を含んでいる。ここに、A、B、C、D、E、F、G、H、I、J、K及びLは、いずれも2の補数表現の固定小数点数を表している。式(1)の中の「C(13b.3b)」は、数Cが13ビットの整数部分と3ビットの小数部分とで構成されることを示している。式(2)によれば、式(3)及び式(4)に示された加減算の実行前に、数Aが3ビット左シフト操作によって数Dに変換される。数Dの整数部分は数Aの整数部分と一致し、数Dの小数部分は3個の0値ビットで構成される。この結果、数Cの小数点位置と、数Dの小数点位置とが一致する。式(8)によれば、乗算の繰返しによって長くなり過ぎたビット長を有することとなった数Jが、7ビット右シフト操作によって数Kに変換される。数Kの整数部分は数Jの整数部分と一致し、数Kの小数部分は数Jの小数部分のうちの上位3ビットと一致する。数Jの小数部分のうちの下位7ビットは切り捨てられる。式(9)によれば、有意でないビットが内在した整数部分を有することとなった数Kが、切り捨て操作によって数Lに変換される。数Lの整数部分は数Kの整数部分のうちの下位5ビットと一致し、数Lの小数部分は数Kの小数部分と一致する。数Kの整数部分のうちの上位9ビット(例えば、全て0値ビット)は切り捨てられる。

【0007】さて、本発明の実施形態に係る下記ディジットシリアル演算装置の例では、全ての数が、4ビットで構成されたディジットを単位として扱われる。したがって、式(2)、式(3)及び式(4)の中のD(8b.3b)が3ディジットからなるD(9b.3b)に、式(8)及び式(9)の中のK(14b.3b)が5ディジットからなるK(17b.3b)にそれぞれ置き換えられる。この際、いわゆる符号拡張がなされる。すなわち、数D(9b.3b)の最上位2ビットは数D(8b.3b)の最上位ビット(符号ビット)と一致し、数K(17b.3b)の最上位4ビットは数K(14b.3b)の最上位ビット(符号ビット)と一致する。

【0008】図1は、本発明に係るディジットシリアル乗算器の構成例を示している。これは、式(1)の乗算、すなわち $C = A \times B$ を実行できるものである。ここに、Aは8ビットからなる被乗数を、Bは8ビットからなる乗数を、Cは16ビットからなる積をそれぞれ表している。被乗数A、乗数B及び積Cは、いずれも2の補数表現の固定小数点数である。

【0009】被乗数Aは、4ビット下位ディジットA0と、4ビット上位ディジットA1とで構成される。ディジットA0は最下位ディジット(Least Significant Digit: LSD)であり、ディジットA1は最上位ディジ

ット(Most Significant Digit: MSD)である。図1中のA_D I G I Tは、4ビット被乗数バスを介して該ディジットシリアル乗算器に順次入力される被乗数ディジットA0及びA1のいずれかを表している。この被乗数バスの上に現在供給されているディジットがLSDであるかMSDであるかは、該ディジットシリアル乗算器に入力される被乗数ディジット位置表示A_I N Dによって示される。

【0010】乗数Bは、4ビット最下位ディジット(LSD)B0と、4ビット最上位ディジット(MSD)B1とで構成される。図1中のB_D I G I Tは、4ビット乗数バスを介して該ディジットシリアル乗算器に順次入力される乗数ディジットB0及びB1のいずれかを表している。この乗数バスの上に現在供給されているディジットがLSDであるかMSDであるかは、該ディジットシリアル乗算器に入力される乗数ディジット位置表示B_I N Dによって示される。

【0011】積Cは、4ビット最下位ディジット(LSD)C0と、第1の4ビット中間位ディジット(Intermediate Significant Digit: ISD)C1と、第2の4ビット中間位ディジット(ISD)C2と、4ビット最上位ディジット(MSD)C3とで構成される。図1中のC_D I G I Tは、4ビット積バスを介して該ディジットシリアル乗算器から順次出力される積ディジットC0、C1、C2及びC3のいずれかを表している。この積バスの上に現在供給されているディジットがLSD、ISD及びMSDのうちのいずれであるかは、該ディジットシリアル乗算器から出力される積ディジット位置表示C_I N Dによって示される。なお、図1の構成では、積ディジット位置表示C_I N Dの出力のために2ビットバスが用意されているだけでなく、被乗数ディジット位置表示A_I N Dの入力及び乗数ディジット位置表示B_I N Dの入力のためにもそれぞれ2ビットバスが用意されている。これは、被乗数A及び乗数Bの各々が3個以上のディジットからなる場合を考慮したものである。

【0012】図1のディジットシリアル乗算器50は、各々4ビット×4ビットの乗算を実行するための4個のディジット乗算器10、11、12、13を備えている。上記被乗数ディジットA_D I G I Tと、被乗数ディジット位置表示A_I N Dと、乗数ディジットB_D I G I Tと、乗数ディジット位置表示B_I N Dとで構成されるデータXは、4個のディジット乗算器10、11、12、13に共通に入力される。ただし、インデックス信号I D X(I D X 0 ~ I D X 3)が個々のディジット乗算器に与えられる。その結果、4個のディジット

10

20

30

40

50

乗算器10, 11, 12, 13がそれぞれインデックス0, 1, 2及び3で識別される。ディジット乗算器#0は、ディジット乗算器#1から4ビット部分積SUM1を受け取り、かつ積ディジットC_D I G I T及び積ディジット位置表示C_I N Dを出力するものである。ディジット乗算器#1は、ディジット乗算器#2から4ビット部分積SUM2を受け取り、かつ部分積SUM1をディジット乗算器#0へ供給するものである。ディジット乗算器#2は、ディジット乗算器#3から4ビット部分積SUM3を受け取り、かつ部分積SUM2をディジット乗算器#1へ供給するものである。ディジット乗算器#3は、4ビット定数0000(2進数表記)を受け取り、かつ部分積SUM3をディジット乗算器#2へ供給するものである。後の説明では、場合により、積ディジットC_D I G I T及び積ディジット位置表示C_I N DをそれぞれデータY0及びZ0と呼び、部分積SUM1, SUM2及びSUM3をそれぞれデータY1, Y2及びY3と呼ぶ。

【0013】図2は、図1中のディジット乗算器#0の内部構成を示している。図2のディジット乗算器10は、5個のレジスタ、すなわちインデックス信号I D X 0を格納するためのインデックスレジスタ21と、被乗数ディジットA_D I G I Tを格納するための被乗数レジスタ22と、乗数ディジットB_D I G I Tを格納するための乗数レジスタ23と、部分積SUM1を格納するための部分積レジスタ24と、中間和を格納するための中間和レジスタ25とを備えている。該ディジット乗算器10は、入力セクタ26と、部分乗算器27と、部分加算器28と、キャリー加算器29と、シーケンス制御部30とを更に備えている。入力セクタ26は、被乗数レジスタ22に格納された被乗数ディジットA_D I G I Tと、4ビット定数0000(2進数表記)と、4ビット定数1111(2進数表記)とのいずれかを被乗数オペランドとして部分乗算器27へ供給し、かつ乗数レジスタ23に格納された乗数ディジットB_D I G I Tと、4ビット定数0000と、4ビット定数1111とのいずれかを乗数オペランドとして部分乗算器27へ供給するものである。部分乗算器27は、被乗数オペランドと乗数オペランドとの乗算、すなわち4ビット×4ビットの乗算を実行するものである。この乗算により求められた積は8ビットからなる部分積である。この部分積のうちの下位4ビットLは部分加算器28へ、上位4ビットUはキャリー加算器29へそれぞれ供給される。部分加算器28は、部分乗算器27から供給された部分積の下位4ビットと、部分積レジスタ24に格納された部分積と、中間和レジスタ25に格納された中間和との加算を実行するものである。この加算により求められた和は最大6ビットからなる。この和のうちの下位4ビットで構成されたディジットSUMは積ディジットC_D I G I T(データY0)として出力され、上位2

ビットすなわちキャリーC Yはキャリー加算器29へ供給される。キャリー加算器29は、部分乗算器27から供給された部分積の上位4ビットと、部分加算器28から供給されたキャリーとの加算を実行するものである。この加算により求められた和、すなわち中間和は最大5ビットからなり、該中間和が中間和レジスタ25に格納される。シーケンス制御部30は、インデックスレジスタ21から供給されたインデックスを受け取る。また、該シーケンス制御部30は、被乗数ディジット位置表示A_I N DがMS Dである場合には被乗数ディジットA_D I G I Tの最上位ビット(Most Significant Bit: MSB) A_M S Bを参照し、乗数ディジット位置表示B_I N DがMS Dである場合には乗数ディジットB_D I G I Tの最上位ビットB_M S Bを参照する。更に、該シーケンス制御部30は、被乗数レジスタ22、乗数レジスタ23、部分積レジスタ24及び中間和レジスタ25の各々のラッチタイミングを制御し、かつ入力セクタ26における被乗数オペランド及び乗数オペランドの選択を制御するための制御信号C N Tを供給する。更に、該シーケンス制御部30は、積ディジット位置表示C_I N D(データZ0)を生成する機能を有する。

【0014】図1中の他の3個のディジット乗算器#1, #2及び#3の各々の内部構成は、上記ディジット乗算器#0の内部構成と同様である。ただし、ディジット乗算器#0のみが積ディジット位置表示C_I N Dを生成する。

【0015】図3は、図1のディジットシリアル乗算器50による符号付き乗算の例を示している。該ディジットシリアル乗算器50の中で、被乗数最上位ディジットA1の更に上位の位置に2個の符号拡張ディジットA2及びA3が付加される。これら符号拡張ディジットの数は、乗数Bのディジット数(=2)と一致する。被乗数Aが非負である場合、すなわち被乗数最上位ディジットA1のMSB(符号ビット)が0値ビットである場合には、A2=0000かつA3=0000である。被乗数Aが負である場合、すなわち被乗数最上位ディジットA1のMSBが1値ビットである場合には、A2=1111かつA3=1111である。また、該ディジットシリアル乗算器50の中で、乗数最上位ディジットB1の更に上位の位置に2個の符号拡張ディジットB2及びB3が付加される。これら符号拡張ディジットの数は、被乗数Aのディジット数(=2)と一致する。乗数Bが非負である場合、すなわち乗数最上位ディジットB1のMSB(符号ビット)が0値ビットである場合には、B2=0000かつB3=0000である。乗数Bが負である場合、すなわち乗数最上位ディジットB1のMSBが1値ビットである場合には、B2=1111かつB3=1111である。ディジット乗算器#0は、部分積A0×B0, A1×B0, A2×B0及びA3×B0を順次計

算する。ディジット乗算器#1は、部分積 $A0 \times B1$ 、 $A1 \times B1$ 及び $A2 \times B1$ を順次計算する。ディジット乗算器#2は、部分積 $A0 \times B2$ 及び $A1 \times B2$ を順次計算する。ディジット乗算器#3は、部分積 $A0 \times B3$ を計算する。4個の積ディジット $C0$ 、 $C1$ 、 $C2$ 及び $C3$ は、計算された10個の部分積から求められる。

【0016】図4は、図1のディジットシリアル乗算器50の動作タイミングを示している。以下、該ディジットシリアル乗算器50の動作を1サイクル毎に説明する。ただし、以下の動作に先立って、ディジット乗算器#0、#1、#2及び#3の各々のインデックスレジスタ21の内容はそれぞれ0、1、2及び3に初期化されているものとする。この初期化により、ディジット乗算器#0、#1、#2及び#3はそれぞれ乗数ディジット $B0$ 、 $B1$ 、 $B2$ 及び $B3$ の処理を担当することとなる。

【0017】サイクル1では、ディジット $B0$ が乗数バスの上に供給される。ディジット乗算器#0、#1、#2及び#3の各々のシーケンス制御部30は、乗数ディジット位置表示 B_IND が LSD であることから乗算の開始を知る。これに伴い、ディジット乗算器#0、#1、#2及び#3の各々の部分積レジスタ24の内容がいずれも0000に、中間和レジスタ25の内容がいずれも00000にそれぞれ初期化される。

【0018】サイクル2では、ディジット乗算器#0の乗数レジスタ23がディジット $B0$ を格納する。その後、ディジット $B1$ が乗数バスの上に、ディジット $A0$ が被乗数バスの上にそれぞれ供給される。ディジット乗算器#2及び#3の各々のシーケンス制御部30は、ディジット $B1$ の MSB から乗数 B の符号を知る。

【0019】サイクル3では、ディジット乗算器#1の乗数レジスタ23がディジット $B1$ を格納する。また、ディジット乗算器#0、#1、#2及び#3の各々の被乗数レジスタ22がディジット $A0$ を格納する。その後、ディジット $A1$ が被乗数バスの上に供給される。ディジット乗算器#0及び#1の各々のシーケンス制御部30は、ディジット $A1$ の MSB から被乗数 A の符号を知る。ディジット乗算器#0の入力セクタ26は、被乗数レジスタ22に格納されたディジット $A0$ と、乗数レジスタ23に格納されたディジット $B0$ とを部分乗算器27へ供給する。ディジット乗算器#1の入力セクタ26は、被乗数レジスタ22に格納されたディジット $A0$ と、乗数レジスタ23に格納されたディジット $B1$ とを部分乗算器27へ供給する。ディジット乗算器#2の入力セクタ26は、被乗数レジスタ22に格納されたディジット $A0$ と、乗数 B の符号に応じた符号拡張ディジット(0000又は1111) $B2$ とを部分乗算器27へ供給する。ディジット乗算器#3の入力セクタ26は、被乗数レジスタ22に格納されたディジット $A0$ と、乗数 B の符号に応じた符号拡張ディジット(00

00又は1111) $B3$ とを部分乗算器27へ供給する。その結果、ディジット乗算器#0、#1、#2及び#3の各々の部分乗算器27は、それぞれ部分積 $A0 \times B0$ 、 $A0 \times B1$ 、 $A0 \times B2$ 及び $A0 \times B3$ を計算する。ディジット乗算器#0において、部分加算器28は、部分乗算器27から供給された部分積 $A0 \times B0$ の下位4ビットと、中間和レジスタ25から供給された0000と、部分和レジスタ24から供給された0000との加算を実行する。この加算の結果のうちの下位4ビット SUM は、積ディジット $C0$ として出力される。該加算で生じたキャリー $CY (=00)$ は、部分積 $A0 \times B0$ の上位4ビットとともにキャリー加算器29に供給される。したがって、部分積 $A0 \times B0$ の上位4ビットがそのまま中間和レジスタ25に格納される。ディジット乗算器#1において、部分加算器28は、部分乗算器27から供給された部分積 $A0 \times B1$ の下位4ビットと、中間和レジスタ25から供給された00000と、部分和レジスタ24から供給された0000との加算を実行する。この加算の結果のうちの下位4ビットは、ディジット乗算器#0の部分積レジスタ24に格納される。該加算で生じたキャリー $CY (=00)$ は、部分積 $A0 \times B1$ の上位4ビットとともに、ディジット乗算器#1のキャリー加算器29に供給される。したがって、部分積 $A0 \times B1$ の上位4ビットがそのままディジット乗算器#1の中間和レジスタ25に格納される。ディジット乗算器#2において、部分加算器28は、部分乗算器27から供給された部分積 $A0 \times B2$ の下位4ビットと、中間和レジスタ25から供給された00000と、部分和レジスタ24から供給された0000との加算を実行する。この加算の結果のうちの下位4ビットは、ディジット乗算器#1の部分積レジスタ24に格納される。該加算で生じたキャリー $CY (=00)$ は、部分積 $A0 \times B2$ の上位4ビットとともに、ディジット乗算器#2のキャリー加算器29に供給される。したがって、部分積 $A0 \times B2$ の上位4ビットがそのままディジット乗算器#2の中間和レジスタ25に格納される。ディジット乗算器#3において、部分加算器28は、部分乗算器27から供給された部分積 $A0 \times B3$ の下位4ビットと、中間和レジスタ25から供給された00000と、部分和レジスタ24から供給された0000との加算を実行する。この加算の結果のうちの下位4ビットは、ディジット乗算器#2の部分積レジスタ24に格納される。この時点以後のディジット乗算器#3の動作は積 C の計算に影響しないので、その説明は省略する。ディジット乗算器#0のシーケンス制御部30は、 LSD を示す積ディジット位置表示 C_IND を出力する。

【0020】サイクル4では、ディジット乗算器#0、#1及び#2の各々の被乗数レジスタ22がディジット $A1$ を格納する。ディジット乗算器#0の入力セクタ26は、被乗数レジスタ22に格納されたディジット A

10

20

30

40

50

【0021】サイクル5では、ディジット乗算器#0の入力セレクト26は、被乗数Aの符号に応じた符号拡張ディジット(0000又は1111)A2と、乗数レジスタ23に格納されたディジットB0とを部分乗算器2

7へ供給する。ディジット乗算器#1の入力セレクト26は、被乗数Aの符号に応じた符号拡張ディジット(0000又は1111)A2と、乗数レジスタ23に格納されたディジットB1とを部分乗算器27へ供給する。その結果、ディジット乗算器#0及び#1の各々の部分乗算器27は、それぞれ部分積 $A2 \times B0$ 及び $A2 \times B1$ を計算する。ディジット乗算器#0において、部分加算器28は、部分乗算器27から供給された部分積 $A2 \times B0$ の下位4ビットと、中間和レジスタ25から供給された中間和(部分積 $A1 \times B0$ の上位4ビット)と、部分積 $A1 \times B1$ の下位4ビットと、部分積 $A0 \times B1$ の上位4ビットと、部分積 $A0 \times B2$ の下位4ビットとの和の下位4ビット)との加算を実行する。この加算の結果のうちの下位4ビットSUMは、積ディジットC2として出力される。該加算で生じたキャリーCYは、部分積 $A2 \times B0$ の上位4ビットとともにキャリー加算器29に供給される。したがって、部分積 $A2 \times B0$ の上位4ビット(キャリー付き)が中間和レジスタ25に格納される。

ディジット乗算器#1において、部分加算器28は、部分乗算器27から供給された部分積 $A2 \times B1$ の下位4ビットと、中間和レジスタ25から供給された中間和(部分積 $A1 \times B1$ の上位4ビット)と、部分積 $A1 \times B2$ の下位4ビットと、部分積 $A0 \times B2$ の上位4ビットと、部分積 $A0 \times B3$ の下位4ビットとの和の下位4ビット)との加算を実行する。この加算の結果のうちの下位4ビットは、ディジット乗算器#0の部分積 $A1 \times B2$ の下位4ビットに格納される。この時点以後のディジット乗算器#1の動作は積Cの計算に影響しないので、その説明は省略する。

ディジット乗算器#0のシーケンス制御部30は、ISDを示す積ディジット位置表示C__INDを出力する。

【0022】サイクル6では、ディジット乗算器#0の入力セレクト26は、被乗数Aの符号に応じた符号拡張ディジット(0000又は1111)A3と、乗数レジスタ23に格納されたディジットB0とを部分乗算器27へ供給する。その結果、ディジット乗算器#0の部分乗算器27は、部分積 $A3 \times B0$ を計算する。ディジット乗算器#0において、部分加算器28は、部分乗算器27から供給された部分積 $A3 \times B0$ の下位4ビットと、中間和レジスタ25から供給された中間和(部分積 $A2 \times B0$ の上位4ビット)と、部分積 $A2 \times B1$ の下位4ビットと、部分積 $A1 \times B1$ の上位4ビットと、サイクル5のディジット乗算器#1において部分積 $A1 \times B2$ の下位4ビットと、部分積 $A0 \times B2$ の上位4ビットと、部分積 $A0 \times B3$ の下位4ビットとの和の下位4ビットであ

る。サイクル6のディジット乗算器#0における部分加算器28の加算の結果のうちの下位4ビットSUMは、積ディジットC3として出力される。ディジット乗算器#0のシーケンス制御部30は、MSDを示す積ディジット位置表示C__INDを出力する。

【0023】以上の動作により、積ディジットC0、C1、C2及びC3が、その各々に対応する積ディジット位置表示C__INDとともに得られた。

【0024】なお、図3から判るように、ディジット乗算器#0及び#1のいずれでも乗数の符号拡張ディジットB2及びB3を選択することはなく、ディジット乗算器#2及び#3のいずれでも被乗数の符号拡張ディジットA2及びA3を選択することはない。したがって、個々のディジット乗算器のシーケンス制御部30は、インデックスレジスタ21から供給されたインデックスに応じて、入力セクタ26における被乗数オペランド及び乗数オペランドの選択肢を制限するようになっている。

【0025】上記4個のディジット乗算器を備えたディジットシリアル乗算器50によれば、3ディジットからなる被乗数(2の補数表現)と、1ディジットからなる乗数(2の補数表現)との積を計算することもできる。この場合には、被乗数に1個の符号拡張ディジットが、乗数に3個の符号拡張ディジットがそれぞれ付加される。また、1ディジットからなる被乗数(2の補数表現)と、3ディジットからなる乗数(2の補数表現)との積を計算することもできる。この場合には、被乗数に3個の符号拡張ディジットが、乗数に1個の符号拡張ディジットがそれぞれ付加される。

【0026】上記被乗数Aが常に非負であれば、 $A2 = A3 = 0000$ が常に成り立つので、図3に示した部分積 $A2 \times B0$ 、 $A3 \times B0$ 及び $A2 \times B1$ を計算する必要がない。つまり、サイクル5及び6においてディジット乗算器#0及び#1の各々の部分乗算器27の動作を停止することができる。上記乗数Bが常に非負であれば、 $B2 = B3 = 0000$ が常に成り立つので、図3に示した部分積 $A0 \times B2$ 、 $A1 \times B2$ 及び $A0 \times B3$ を計算する必要がない。つまり、2個のディジット乗算器#0及び#1で上記の積Cを計算することができる。上記4個のディジット乗算器#0、#1、#2及び#3により、非負の16ビット被乗数と非負の16ビット乗数との積を計算することもできる。

【0027】上記乗数Bに係る2個の符号拡張ディジットB2及びB3は常に一致する。したがって、ディジット乗算器#2において求められた部分積 $A0 \times B2$ を部分積 $A0 \times B3$ に代えて用いることとすれば、3個のディジット乗算器#0、#1及び#2で上記の積Cを計算することができる。

【0028】図5は、図2の構成の変形例を示している。図5によれば、乗数最下位ディジットB0、乗数最上位ディジットB1、被乗数最下位ディジットA0及び

被乗数最上位ディジットA1が、この順序で4ビット共通バスに供給される。図5中のDIGITは、ディジットB0、B1、A0及びA1のいずれかを表している。共通バスの上に現在供給されているディジットがLSDであるかMSDであるかは、ディジット位置表示INDによって示される。図5のディジット乗算器10aでは、乗数レジスタ23と共通バスとの間にテンポラリレジスタ31が介在している。この構成によれば、ある乗数ディジットがテンポラリレジスタ31に格納された後、被乗数レジスタ22への被乗数最下位ディジットA0の格納と同時に、テンポラリレジスタ31から乗数レジスタ23への乗数ディジットの転送が行なわれる。

【0029】図6は、本発明に係るリコンフィギュレーション可能なディジットシリアル乗算器の構成例を示している。図6のディジットシリアル乗算器60は、2次元アレイ状に配置された6個のディジット乗算器#11、#12、#13、#21、#22及び#23を備えている。これら6個のディジット乗算器の各々の内部構成は図2又は図5のとおりである。図6中のデータX01、X02、X03、X11、X12、X13、X21、X22及びX23は、図1及び図2中のデータX又は図5中のデータXに対応したデータである。また、図6中のデータY11、Y12、Y13、Y21、Y22及びY23は図1中のデータY0、Y1、Y2及びY3に、図6中のデータZ21、Z22及びZ23は図1中のデータZ0にそれぞれ対応する。図6によれば、6個のセクタ付ディジット乗算器41、42、43、44、45、46を構成するように、ディジット乗算器#11に2個のセクタS11及びT11が、ディジット乗算器#12に2個のセクタS12及びT12が、ディジット乗算器#13に2個のセクタS13及びT13が、ディジット乗算器#21に2個のセクタS21及びT21が、ディジット乗算器#22に2個のセクタS22及びT22が、ディジット乗算器#23に2個のセクタS23及びT23がそれぞれ付加されている。これらセクタ付ディジット乗算器の各々は、上側又は左側からのデータを選択できるようになっている。例えば、セクタ付ディジット乗算器45は、その上側に位置するセクタ付ディジット乗算器42から供給されたデータX12及びY12を選択することができるだけでなく、かつその左側に位置するセクタ付ディジット乗算器44から供給されたデータX21及びY21を選択することもできる。後の説明では、場合により、データY21とデータZ21とをまとめてデータW21と呼ぶ。データW22及びW23も同様に定義する。なお、図6ではインデックス信号の図示が省略されている。

【0030】図6のディジットシリアル乗算器60は、8ビット被乗数と非負の8ビット乗数との積を3組同時に計算することができる。この場合には、 $X01 = X1$

10

20

30

40

50

1=X21、X02=X12=X22及びX03=X13=X23がそれぞれ成り立つように、6個のセクタS11、S21、S12、S22、S13及びS23がそれぞれ上側からのデータを選択する。6個のセクタT11、T21、T12、T22、T13及びT23もそれぞれ同様に上側からのデータを選択する。更に、3個のディジット乗算器#21、#22及び#23がそれぞれ乗数最下位ディジットの処理を担当し、かつ3個のディジット乗算器#11、#12及び#13がそれぞれ乗数最上位ディジットの処理を担当するように、演算の開始に先立って各ディジット乗算器に所要のインデックス信号が与えられる。

【0031】また、図6のディジットシリアル乗算器60は、8ビット被乗数と非負の12ビット乗数との積を2組同時に計算することができる。この場合には、X01=X11=X21=X22及びX02=X12=X13=X23がそれぞれ成り立つように、4個のセクタS11、S21、S12及びS23がそれぞれ上側からのデータを選択し、2個のセクタS22及びS13がそれぞれ左側からのデータを選択する。4個のセクタT11、T21、T12及びT23はセクタS11、S21、S12及びS23と同様にそれぞれ上側からのデータを選択し、2個のセクタT22及びT13はセクタS22及びS13と同様にそれぞれ左側からのデータを選択する。更に、2個のディジット乗算器#22及び#23がそれぞれ乗数最下位ディジットの処理を担当し、2個のディジット乗算器#21及び#13がそれぞれ乗数中間位ディジットの処理を担当し、かつ2個のディジット乗算器#11及び#12がそれぞれ乗数最上位ディジットの処理を担当するように、演算の開始に先立って各ディジット乗算器に所要のインデックス信号が与えられる。

【0032】図7は、本発明に係るディジットシリアル加減算器の構成例を示している。これは、式(3)の加算、すなわち $E=C+D$ を実行できるものである。ここに、Cは4ディジットからなる被加数を、Dは3ディジットからなる加数を、Eは4ディジットからなる和をそれぞれ表している。被加数C、加数D及び和Eは、いずれも2の補数表現の固定小数点数である。

【0033】被加数Cは、4ビット最下位ディジット(LSD)C0と、第1の4ビット中間位ディジット(ISD)C1と、第2の4ビット中間位ディジット(ISD)C2と、4ビット最上位ディジット(MSD)C3とで構成される。図7中のC_DIGITは、4ビット被加数バスを介して該ディジットシリアル加減算器に順次入力される被加数ディジットC0、C1、C2及びC3のいずれかを表している。この被加数バスの上に現在供給されているディジットがLSD、ISD及びMSDのうちのいずれであるかは、該ディジットシリアル加減算器に入力される被加数ディジット位置表示C

_INDによって示される。ただし、被加数バスの上にディジットが供給されていないときには、被加数ディジット位置表示C_INDがNOD(No Data)を示す。

【0034】加数Dは、4ビット最下位ディジット(LSD)D0と、4ビット中間位ディジット(ISD)D1と、4ビット最上位ディジット(MSD)D2とで構成される。図7中のD_DIGITは、4ビット加数バスを介して該ディジットシリアル加減算器に順次入力される加数ディジットD0、D1及びD2のいずれかを表している。この加数バスの上に現在供給されているディジットがLSD、ISD及びMSDのうちのいずれであるかは、該ディジットシリアル加減算器に入力される加数ディジット位置表示D_INDによって示される。ただし、加数バスの上にディジットが供給されていないときには、加数ディジット位置表示D_INDがNOD(No Data)を示す。

【0035】和Eは、4ビット最下位ディジット(LSD)E0と、第1の4ビット中間位ディジット(ISD)E1と、第2の4ビット中間位ディジット(ISD)E2と、4ビット最上位ディジット(MSD)E3とで構成される。図7中のE_DIGITは、4ビット和バスを介して該ディジットシリアル加減算器から順次出力される和ディジットE0、E1、E2及びE3のいずれかを表している。この和バスの上に現在供給されているディジットがLSD、ISD及びMSDのうちのいずれであるかは、該ディジットシリアル加減算器から出力される和ディジット位置表示E_INDによって示される。ただし、和バスの上にディジットが供給されていないときには、和ディジット位置表示E_INDがNOD(No Data)を示す。

【0036】図7のディジットシリアル加減算器100は、第1入力セクタ101と、第2入力セクタ102と、部分加減算器103と、1ビットのキャリーを格納するためのキャリーレジスタ104と、シーケンス制御部105とを備えている。第1入力セクタ101は、被加数バス上の被加数ディジットC_DIGITと、4ビット定数0000(2進数表記)と、4ビット定数1111(2進数表記)とのいずれかを被加数オペランドとして部分加減算器103へ供給するものである。第2入力セクタ102は、加数バス上の加数ディジットD_DIGITと、4ビット定数0000と、4ビット定数1111とのいずれかを加数オペランドとして部分加減算器103へ供給するものである。部分加減算器103は、第1入力セクタ101から供給された被加数オペランドと、第2入力セクタ102から供給された加数オペランドと、キャリーレジスタ104に格納されたキャリーとの加算を実行するものである。この加算により求められた和は最大5ビットからなる。この和のうちの下位4ビットで構成されたディジットは和ディジットE_DIGITとして出力され、上位1ビット

すなわちキャリーC/Bはキャリーレジスタ104に格納される。シーケンス制御部105は、被加数ディジット位置表示C__INDがMSDである場合には被加数ディジットC__DIGITの最上位ビットC__MSBを参照し、加数ディジット位置表示D__INDがMSDである場合には加数ディジットD__DIGITの最上位ビットD__MSBを参照する。更に、該シーケンス制御部105は、第1及び第2入力セクタ101、102における被加数オペランド及び加数オペランドの選択を制御し、かつキャリーレジスタ104のラッチタイミングを制御するための制御信号CNT1、CNT2及びCNT3を供給する。更に、該シーケンス制御部105は、和ディジット位置表示E__INDを生成する機能を有する。なお、減算の場合には、部分加減算器103からボロC/Bが出力される。

【0037】図8は、図7のディジットシリアル加減算器100による符号付き加算の例を示している。キャリーレジスタ104は予め0に初期化される。まず、サイクル1では、ディジットC0とディジットD0とが同時に供給される。第1入力セクタ101はディジットC0を、第2入力セクタ102はディジットD0をそれぞれ選択する。部分加減算器103は両ディジットの和C0+D0を計算する。この加算の結果のうちの下位4ビットSUMは、和ディジットE0として出力される。該結果で生じたキャリーC/Bはキャリーレジスタ104に格納される。この際、ディジット位置表示C__IND及びD__INDがいずれもLSDであるので、和ディジット位置表示E__INDはLSDに設定される。

【0038】サイクル2では、ディジットC1とディジットD1とが同時に供給される。第1入力セクタ101はディジットC1を、第2入力セクタ102はディジットD1をそれぞれ選択する。部分加減算器103は両ディジットC1及びD1とキャリーレジスタ104に格納されたキャリーC/Bとの和を計算する。この加算の結果のうちの下位4ビットは、和ディジットE1として出力される。該結果で生じたキャリーC/Bはキャリーレジスタ104に格納される。この際、ディジット位置表示C__IND及びD__INDがいずれもISDであるので、和ディジット位置表示E__INDはISDに設定される。

【0039】サイクル3では、ディジットC2とディジットD2とが同時に供給される。シーケンス制御部105は、ディジットD2のMSBから加数Dの符号を知る。第1入力セクタ101はディジットC2を、第2入力セクタ102はディジットD2をそれぞれ選択する。部分加減算器103は両ディジットC2及びD2とキャリーレジスタ104に格納されたキャリーC/Bとの和を計算する。この加算の結果のうちの下位4ビットは、和ディジットE2として出力される。該結果で生じたキャリーC/Bはキャリーレジスタ104に格納され

る。この際、ディジット位置表示C__INDがISDであり、かつディジット位置表示D__INDがMSDであるので、和ディジット位置表示E__INDはISDに設定される。

【0040】サイクル4では、ディジットC3が供給される。シーケンス制御部105は、加数Dの符号に応じた符号拡張ディジット(0000又は1111)D3を第2入力セクタ102に選択させる。第1入力セクタ101はディジットC3を選択する。部分加減算器103は両ディジットC3及びD3とキャリーレジスタ104に格納されたキャリーC/Bとの和を計算する。この加算の結果のうちの下位4ビットは、和ディジットE3として出力される。この際、ディジット位置表示C__INDがMSDであり、かつディジット位置表示D__INDがNODであるので、和ディジット位置表示E__INDはMSDに設定される。

【0041】以上の動作により、和ディジットE0、E1、E2及びE3が、その各々に対応する和ディジット位置表示E__INDとともに得られた。

【0042】図9は、本発明に係るリコンフィギュレーション可能なディジットシリアル演算装置の構成例を示している。図9のディジットシリアル演算装置は、図6のディジットシリアル乗算器60に3個のディジットシリアル加減算器#31、#32及び#33を付加してなるものである。これら3個のディジットシリアル加減算器の各々の内部構成は、図8のとおりである。図9によれば、3個のセクタ付ディジットシリアル加減算器111、112及び113を構成するように、3個のディジットシリアル加減算器#31、#32及び#33の各々に2個のセクタU及びVが付加されている。これらセクタ付ディジットシリアル加減算器の各々は、真上側又は右上側のセクタ付ディジット乗算器からのデータと、真上側又は左上側のセクタ付ディジット乗算器からのデータとを選択できるようになっている。例えば、セクタ付ディジットシリアル加減算器112は、真上側のセクタ付ディジット乗算器45からのデータW22又は右上側のセクタ付ディジット乗算器46からのデータW23を被加数データとして選択し、かつ真上側のセクタ付ディジット乗算器45からのデータW22又は左上側のセクタ付ディジット乗算器44からのデータW21を加数データとして選択できるようになっている。

【0043】図9のディジットシリアル演算装置によれば、2個のセクタ付ディジット乗算器#11及び#21と1個のディジットシリアル加減算器#31とを関連付け、2個のセクタ付ディジット乗算器#12及び#22と1個のディジットシリアル加減算器#32とを関連付け、かつ2個のセクタ付ディジット乗算器#13及び#23と1個のディジットシリアル加減算器#33とを関連付けることができる。この場合には、A01、

10

20

30

40

50

A02, A03, B01, B02及びB03を各々固定小数点数とすると、3個の積和PS1、PS2及びPS3、すなわち、

$$PS1 = A01 \times B01 + A02 \times B02$$

$$PS2 = A02 \times B02 - A03 \times B03$$

$$PS3 = A03 \times B03 + A02 \times B02$$

を同時に計算することができる。ここに、数B01, B02及びB03は、いずれも非負の8ビット乗数である。また、3個のセクタ付ディジット乗算器#11、#21及び#22と1個のディジットシリアル加減算器#32とを関連付け、かつ3個のセクタ付ディジット乗算器#12、#13及び#23と1個のディジットシリアル加減算器#33とを関連付けることもできる。この場合には、A04, A05, B04及びB05を各々固定小数点数とすると、2個の積和PS4及びPS5、すなわち、

$$PS4 = A04 \times B04 + A05 \times B05$$

$$PS5 = A04 \times B04 - A05 \times B05$$

を同時に計算することができる。ここに、数B04及びB05は、いずれも非負の12ビット乗数である。

【0044】図10は、本発明に係るディジットシリアルシフタの構成例を示している。これは、式(2)の算術左シフトを実行できるものである。ここで、Aをシフト操作のオペランドとし、Dを該シフト操作の結果とする。オペランドA及び結果Dは、いずれも2の補数表現の固定小数点数である。なお、図10の例は式(8)の算術右シフトをも実行できるものであるが、これについては後述する。

【0045】オペランドAは、4ビット最下位ディジット(LSD)A0と、4ビット最上位ディジット(MSD)A1とで構成される。図10中のA__DIGITは、4ビットオペランドバスを介して該ディジットシリアルシフタに順次入力されるオペランドディジットA0及びA1のいずれかを表している。このオペランドバスの上に現在供給されているディジットがLSDであるかMSDであるかは、該ディジットシリアルシフタに入力されるオペランドディジット位置表示A__INDによって示される。

【0046】結果Dは、4ビット最下位ディジット(LSD)D0と、4ビット中間位ディジット(ISD)D1と、4ビット最上位ディジット(MSD)D2とで構成される。図10中のD__DIGITは、4ビット結果バスを介して該ディジットシリアルシフタから順次出力される結果ディジットD0、D1及びD2のいずれかを表している。この結果バスの上に現在供給されているディジットがLSD、ISD及びMSDのうちのいずれであるかは、該ディジットシリアルシフタから出力される結果ディジット位置表示D__INDによって示される。ただし、結果バスの上にディジットが供給されていないときには、結果ディジット位置表示D__INDがNOD

(No Data)を示す。なお、図10の構成では、結果ディジット位置表示D__INDの出力のために2ビットバスが用意されているだけでなく、オペランドディジット位置表示A__INDの入力のために2ビットバスが用意されている。これは、オペランドAが3個以上のディジットからなる場合を考慮したものである。

【0047】図10のディジットシリアルシフタ200は、各々1ディジットと該ディジットの位置表示とを格納するための8個のラッチユニット(#0~#7)210, 211, 212, 213, 214, 215, 216及び217と、結果ディジットD__DIGITを出力するための左シフタ220と、結果ディジット位置表示D__INDを出力するためのディジット位置決定部221と、各部の動作を制御するためのシーケンス制御部230とを備えている。上記オペランドディジットA__DIGIT及びオペランドディジット位置表示A__INDは、シーケンス制御部230から供給される制御信号WT0~WT7に応じて、8個のラッチユニット#0~#7のうちの任意のユニットへの書き込みが可能である。ラッチユニット#0は、ラッチユニット#1からディジットDGT1及びディジット位置表示IND1を受け取り、かつディジットDGT0及びディジット位置表示IND0を供給するものである。ラッチユニット#2はディジットDGT2及びディジット位置表示IND2をラッチユニット#1へ供給し、ラッチユニット#3はディジットDGT3及びディジット位置表示IND3をラッチユニット#2へ供給し、ラッチユニット#4はディジットDGT4及びディジット位置表示IND4をラッチユニット#3へ供給し、ラッチユニット#5はディジットDGT5及びディジット位置表示IND5をラッチユニット#4へ供給し、ラッチユニット#6はディジットDGT6及びディジット位置表示IND6をラッチユニット#5へ供給するものである。ラッチユニット#7は、4ビット定数0000(2進数表記)からなるディジットと、NOD(No Data)を表すディジット位置表示とを受け取り、かつディジットDGT7及びディジット位置表示IND7をラッチユニット#6へ供給するものである。以上のとおり、8個のラッチユニット#0~#7は、任意の段数を有する1個のシフトレジスタを構成するように互いに接続されている。したがって、これら8個のラッチユニット#0~#7を単なるディレイ要素として用いることも可能である。左シフタ220は、基本的には、ラッチユニット#1から供給されたディジットDGT1に1ビット、2ビット又は3ビットの左シフト操作を施し、かつ該操作の結果と、ラッチユニット#0から供給されたディジットDGT0とを用いて結果ディジットD__DIGITを決定するものである。ディジット位置決定部221は、基本的には、オペランドディジット位置表示A__INDと、ラッチユニット#1から供給されたディジット位置表示IND1と、ラッチユ

ニット#0から供給されたディジット位置表示IND0とに応じて結果ディジット位置表示D__INDを決定するものである。該ディジット位置決定部221は、左シフタ220の動作を制御する機能をも有している。

【0048】図11は、図10中のラッチユニット#0の内部構成を示している。図11のラッチユニット210は、1個のディジットを格納するためのディジットレジスタ241と、該ディジットの位置表示を格納するための位置レジスタ242と、第1及び第2のセクタ243、244とを備えている。第1のセクタ243は、オペランドバスを介して入力されたオペランドディジットA__DIGITと、ラッチユニット#1から供給されたディジットDGT1とのいずれかを制御信号WT0に応じて選択し、該選択したディジットをディジットレジスタ241へ供給するものである。第2のセクタ244は、オペランドディジット位置表示A__INDと、ラッチユニット#1から供給されたディジット位置表示IND1とのいずれかを制御信号WT0に応じて選択し、該選択したディジット位置表示を位置レジスタ242へ供給するものである。ディジットレジスタ241及び位置レジスタ242のラッチタイミングは、シーケンス制御部230から供給される制御信号CTLにより制御される。なお、図10中の他の7個のラッチユニット#1～#7の各々の内部構成も同様である。

【0049】図12は、シーケンス制御部230の内部構成を示している。シーケンス制御部230は、4個のレジスタ、すなわちオペランドディジット位置表示A__INDがMSDである場合のオペランドディジットA__DIGITの最上位ビットA__MSBを格納するためのMSBレジスタ251と、指定された右シフト量を格納するための右シフト量レジスタ252と、指定された左シフト量を格納するための左シフト量レジスタ253と、指定されたディレイ量を格納するためのディレイ量レジスタ254とを備えている。該シーケンス制御部230は、シフト量変換部255と、書き込み制御部256と、制御ユニット257とを更に備えている。上記ディジットシリアルシフタ200は右シフトを備えておらず、右シフト操作が指定された場合でも該右シフト操作に代えて左シフト操作を実行するように構成されている。例えば、あるオペランドの3ビット右シフトは、ディジット単位の1ビット左シフト操作の繰り返しにより達成される。シフト量変換部255は、右シフト量レジスタ252から供給された右シフト量RSTを左シフト量に変換するものである。該変換により得られた左シフト量は、左シフト量レジスタ253に格納される。書き込み制御部256は、左シフト量レジスタ253から供給された左シフト量LSTと、ディレイ量レジスタ254から供給されたディレイ量DELAYとを参照して、オペランドディジットA__DIGIT及びオペランドディジット位置表示A__INDを書き込むべきラッチ

ユニットを8個のラッチユニット#0～#7の中から決定し、かつ該ラッチユニットを特定するための上記制御信号WT0～WT7を供給するものである。右シフト操作が指定された場合には、書き込み制御部256は右シフト量RSTを更に参照する。制御ユニット257は、オペランドディジット位置表示A__INDを常に監視しており、上記ディジットレジスタ241及び位置レジスタ242のラッチタイミングを制御するための制御信号CTLを供給し、MSBレジスタ251のラッチタイミングを制御し、かつ書き込み制御部256の動作を制御するものである。MSBレジスタ251に格納された最上位ビットは、オペランドの符号ビットA__MSBとして左シフト220へ供給される(図10参照)。左シフト量LSTは、左シフト220及びディジット位置決定部221へ供給される。ディレイ量DELAY及び右シフト量RSTは、ディジット位置決定部221へ供給される。

【0050】図13(a)及び(b)は、図10のディジットシリアルシフタ200によって実行される固定小数点数Aの桁合わせのための3ビット左シフト(式(2)参照)の入力及び結果をそれぞれ示している。オペランドAは、8ビットの整数部分を有する固定小数点数であって、最下位ディジット(LSD)A0と、最上位ディジット(MSD)A1とで構成される。該オペランドAの最上位ビットは、符号ビットSである。シフト操作の結果Dは、9ビットの整数部分と3ビットの小数部分とを有する固定小数点数であって、最下位ディジット(LSD)D0と、中間位ディジット(ISD)D1と、最上位ディジット(MSD)D2とで構成される。結果Dの小数部分は、3個の0値ビットで構成される。該結果Dの最上位ビットは、オペランド符号ビットSのコピーである。したがって、3ビット左シフト操作の中で、3個の0値ビットの付加と、1ビットの符号拡張とが実行される必要がある。

【0051】ここで、図10のディジットシリアルシフタ200による3ビット左シフトの動作を1サイクル毎に説明する。この場合には、LST=3かつDELAY=0であって、オペランドディジットA__DIGIT及びオペランドディジット位置表示A__INDがラッチユニット#1に書き込まれるように制御信号WT1が決められる。つまり、WT1=1であり、WTn=0である。ここに、n=0, 2, 3, 4, 5, 6, 7である。

【0052】まず、サイクル1では、ディジットA0が供給される。この際のディジット位置表示A__INDはLSDである。

【0053】サイクル2では、ラッチユニット#1がディジットA0とディジット位置表示A__IND(=LSD)とを格納する。左シフト220は、ラッチユニット#1から供給されたディジットDGT1(=A0)に基づいてディジットD0を決定する。この際、ディジット

10

20

30

40

50

D0の最上位ビットはディジットDGT1 (=A0)の最下位ビットと一致するように決定され、かつディジットD0の下位3ビットにはそれぞれ0値が設定される。ディジット位置決定部221は、ディジットD0がLSDであることを示すディジット位置表示D__INDを出力する。その後、ディジットA1が供給される。この際のディジット位置表示A__INDはMSDである。シーケンス制御部230は、ディジットA1のMSBからオペランドの符号Sを知る。したがって、MSBレジスタ251は、該符号を表すビットAA__MSBを左シフト220へ供給する。

【0054】サイクル3では、ラッチユニット#1からラッチユニット#0へのデータ転送の後に、ラッチユニット#1がディジットA1とディジット位置表示A__IND (=MSD)とを格納する。左シフト220は、ラッチユニット#1から供給されたディジットDGT1 (=A1)と、ラッチユニット#0から供給されたディジットDGT0 (=A0)とに基づいてディジットD1を決定する。この際、ディジットD1の最上位ビットはディジットDGT1 (=A1)の最下位ビットと一致するように決定され、かつディジットD1の下位3ビットはディジットDGT0 (=A0)の上位3ビットと一致するように決定される。ディジット位置決定部221は、ディジットD1がISDであることを示すディジット位置表示D__INDを出力する。

【0055】サイクル4では、ラッチユニット#1からラッチユニット#0へのデータ転送が行われる。左シフト220は、MSBレジスタ251から供給された符号ビットAA__MSBと、ラッチユニット#0から供給されたディジットDGT0 (=A1)とに基づいてディジットD2を決定する。この際、ディジットD2の最上位ビットは符号ビットAA__MSBと一致するように決定され、かつディジットD2の下位3ビットはディジットDGT0 (=A1)の上位3ビットと一致するように決定される。ディジット位置決定部221は、ディジットD2がMSDであることを示すディジット位置表示D__INDを出力する。

【0056】以上の動作により、結果ディジットD0、D1及びD2が、その各々に対応する結果ディジット位置表示D__INDとともに得られた。なお、DELAY = 0の設定下では、 $1 \leq L S F T \leq 4$ ならばWT1 = 1であり、 $5 \leq L S F T \leq 8$ ならばWT2 = 1である。例えば、DELAY = 1の設定がなされた場合には、 $1 \leq L S F T \leq 4$ ならばWT2 = 1であり、 $5 \leq L S F T \leq 8$ ならばWT3 = 1である。

【0057】前述のように、図10のディジットシリアルシフト200は、左シフト220を用いることによって算術右シフトを実現することができるものである。図14(a)及び(b)は、図10のディジットシリアルシフト200によって実行される固定小数点数Jの丸め

のための7ビット右シフト(式(8)参照)の入力及び結果をそれぞれ示している。オペランドJは、14ビットの整数部分と10ビットの小数部分とを有する固定小数点数であって、最下位ディジット(LSD)J0と、4個の中間位ディジット(ISD)J1、J2、J3及びJ4と、最上位ディジット(MSD)J5とで構成される。該オペランドJの最上位ビットは、符号ビットSである。シフト操作の結果Kは、17ビットの整数部分と3ビットの小数部分とを有する固定小数点数であって、最下位ディジット(LSD)K0と、3個の中間位ディジット(ISD)K1、K2及びK3と、最上位ディジット(MSD)K4とで構成される。該結果Kの最上位3ビットは、いずれもオペランド符号ビットSのコピーである。オペランドJの最下位7ビットは切り捨てられる。

【0058】図10のディジットシリアルシフト200による7ビット右シフトの詳細動作説明は省略するが、この場合には、シフト量変換部255が「RSFT = 7」を「LSFT = 1」に変換する。また、DELAY = 0の設定下で、WT2 = 1である。オペランドJの最下位7ビットの切り捨てのために、結果ディジット位置表示がNOD (No Data)を示す2サイクルが挿入される。

【0059】図15は、本発明に係るリコンフィギュレーション可能なディジットシリアル演算装置の他の構成例を示している。これは、式(1)～(9)に示された一連の固定小数点演算をパイプライン方式で実行できるものである。図15のディジットシリアル演算装置は、数A及びBを供給するための第1のメモリ301と、数Gを供給するための第2のメモリ302と、数Kを格納するための第3のメモリ303と、データ転送のためのバス304と、該バス304を切り分けるためのバススイッチ305と、4個の演算ブロック(#1、#2、#3及び#4)とを備えている。各ブロックは、複数のディジットシリアル演算器、すなわちディジットシリアル乗算器311、ディジットシリアル加減算器312及びディジットシリアルシフト313を備えており、前述の構成の組み合わせである。具体例を以て説明すると、図15中の各ディジットシリアル乗算器311は図6のディジットシリアル乗算器60に、図15中の各ディジットシリアル加減算器312は図9中のディジットシリアル加減算器111に、図15中の各ディジットシリアルシフト313は図10のディジットシリアルシフト200に入力選択スイッチを付加したものにそれぞれ対応する。

【0060】図15のディジットシリアル演算装置によれば、バススイッチ305により、各々ディジットシリアル演算器間の複数の独立バスを形成するようにバス304を切り分けることができる。具体的には、バススイッチ305の切替により、数A、B、E、F、G、J及

10

20

30

40

50

びKの各々の独立転送パスが確保される。数C及びDは、ブロック# 1及び# 2の各々のディジットシリアル加減算器3 1 2に分配される。また、ブロック# 3のディジットシリアル加減算器3 1 2が必要とする数H及びIは、ブロック# 3及び# 4の各々のディジットシリアル乗算器3 1 1から集められる(図9参照)。

【0061】式(1)～(9)に示された一連の固定小数点演算において、数A、B、G及びLは各々2ディジットからなり、数Dは3ディジットからなり、数C、E及びFは各々4ディジットからなり、数Kは5ディジットからなり、数H、I及びJは各々6ディジットからなる。図15のディジットシリアル演算装置は、各ディジットに付随するディジット位置表示を用いることにより、これら12個の数AからLまでを正しく取り扱うことができる。また、例えば数Bのディジット数に変更された場合には、それに応じてブロック# 1のディジットシリアル乗算器3 1 1のコンフィギュレーションと数Cのディジット位置表示とが変更される。しかも、第1～第3のメモリ3 0 1、3 0 2、3 0 3と、ディジットシリアル乗算器3 1 1と、ディジットシリアル加減算器3 1 2と、ディジットシリアルシフタ3 1 3との間の接続は、柔軟な変更が可能である。したがって、種々の演算パターンに対応できる。

【0062】なお、上記の各例では1ディジットが4ビットからなるものとしたが、1ディジットを構成するビットの数は2以上の任意の整数である。

【0063】

【発明の効果】以上説明してきたとおり、本発明によれば、複数のディジットシリアル演算器を備えた装置において、各ディジットシリアル演算器ごとに演算結果に応じて新たにディジット位置表示を付け直すことでディジットの概念を保つようにしたので、リコンフィギュレーションが可能なディジットシリアル演算装置を提供することができる。更に、複数のディジットシリアル演算器をネットワークで組み合わせることで、プログラマブル性を持たせることが可能になる。

【図面の簡単な説明】

【図1】本発明に係るディジットシリアル乗算器の構成例を示すブロック図である。

【図2】図1中の4個のディジット乗算器のうちの1個の内部構成を示すブロック図である。

【図3】図1のディジットシリアル乗算器による符号付

き乗算の例を示す図である。

【図4】図1のディジットシリアル乗算器の動作を示すタイミング図である。

【図5】図2の構成の変形例を示すブロック図である。

【図6】本発明に係るリコンフィギュレーション可能なディジットシリアル乗算器の構成例を示すブロック図である。

【図7】本発明に係るディジットシリアル加減算器の構成例を示すブロック図である。

【図8】図7のディジットシリアル加減算器による符号付き加算の例を示す図である。

【図9】本発明に係るリコンフィギュレーション可能なディジットシリアル演算装置の構成例を示すブロック図である。

【図10】本発明に係るディジットシリアルシフタの構成例を示すブロック図である。

【図11】図10中の8個のラッチユニットのうちの1個の内部構成を示すブロック図である。

【図12】図10中のシーケンス制御部の内部構成を示すブロック図である。

【図13】図10のディジットシリアルシフタによる3ビット左シフトの例を示す図であって、(a)は入力、(b)はシフト結果をそれぞれ示す図である。

【図14】図10のディジットシリアルシフタによる7ビット右シフトの例を示す図であって、(a)は入力、(b)はシフト結果をそれぞれ示す図である。

【図15】本発明に係るリコンフィギュレーション可能なディジットシリアル演算装置の他の構成例を示すブロック図である。

【符号の説明】

5 0、6 0 ディジットシリアル乗算器

1 0 0 ディジットシリアル加減算器

1 1 1、1 2、1 1 3 セレクタ付ディジットシリアル加減算器

2 0 0 ディジットシリアルシフタ

3 0 1、3 0 2、3 0 3 メモリ

3 0 4 パス

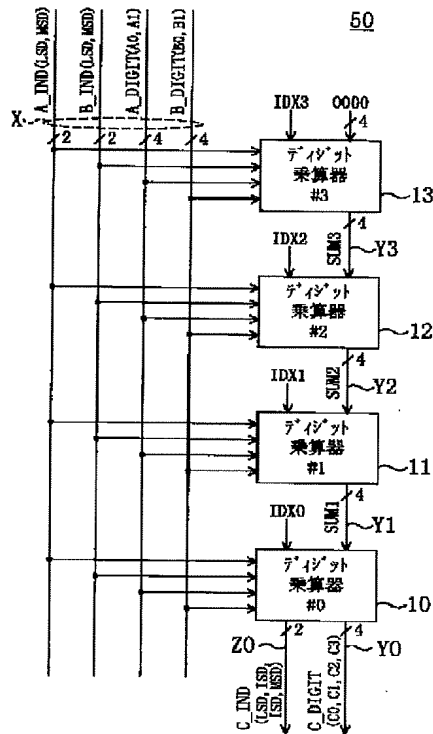
3 0 5 パススイッチ

3 1 1 ディジットシリアル乗算器

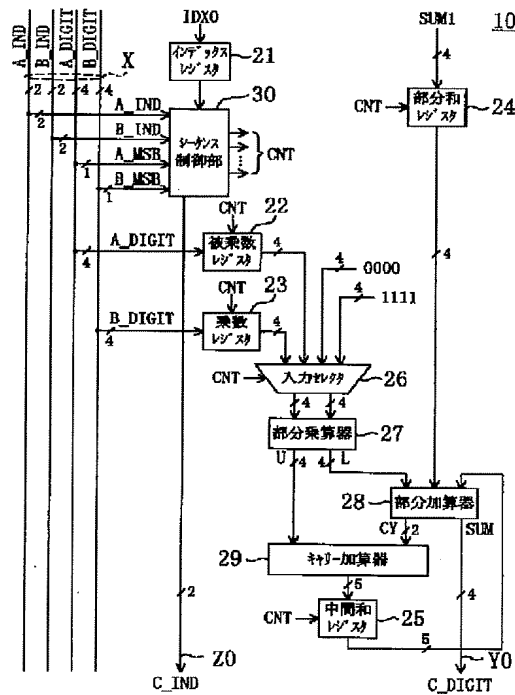
3 1 2 ディジットシリアル加減算器

3 1 3 ディジットシリアルシフタ

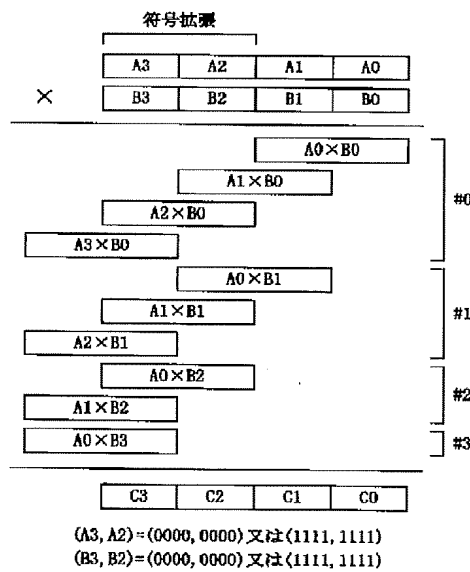
【図1】



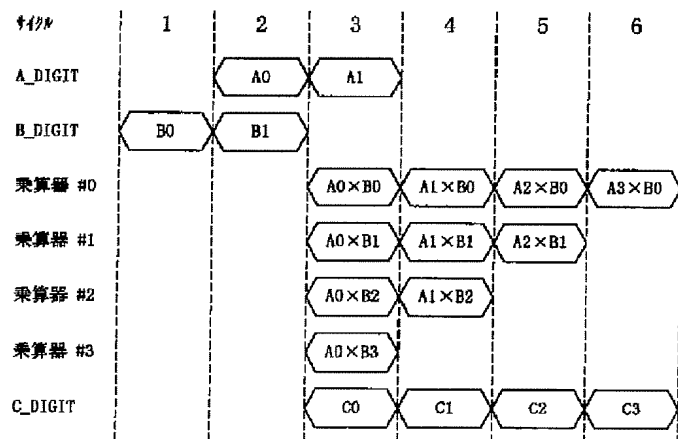
【図2】



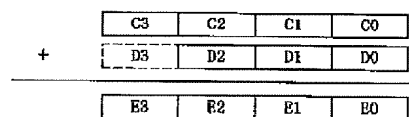
【図3】



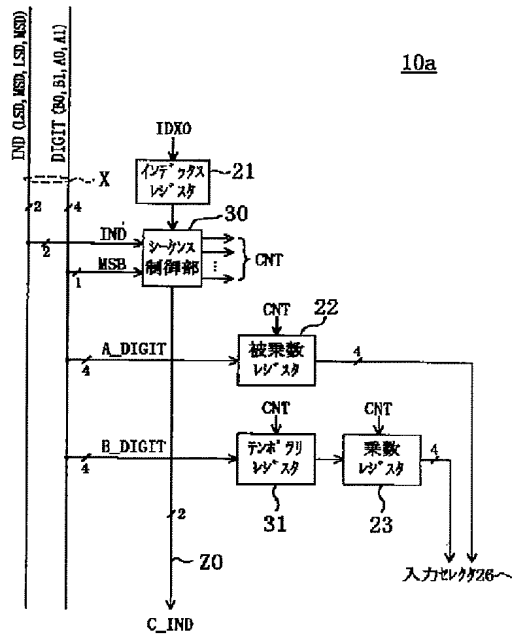
【図4】



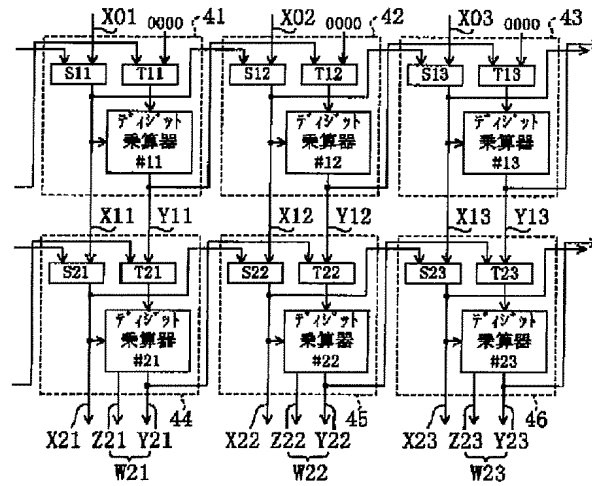
【図8】



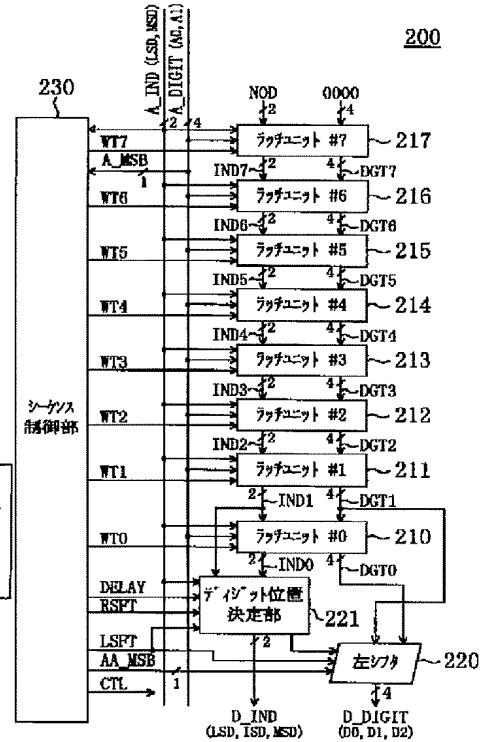
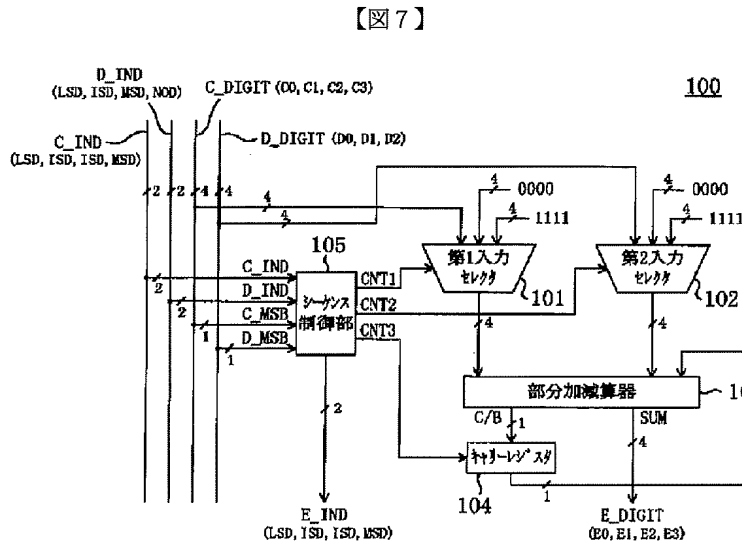
【図 5】



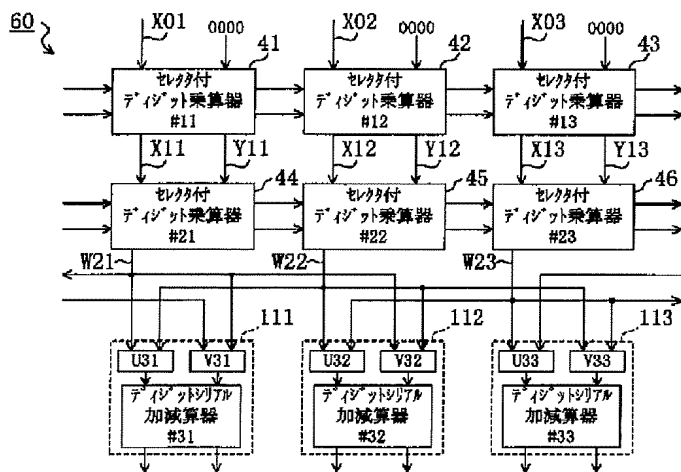
【図 6】



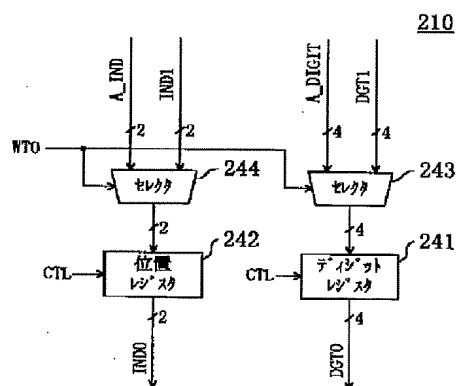
【図 10】



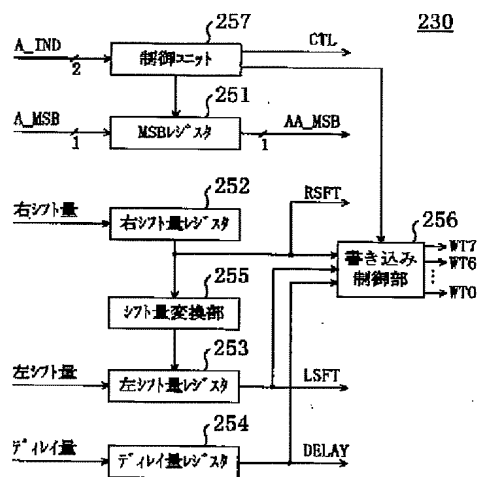
【図 9】



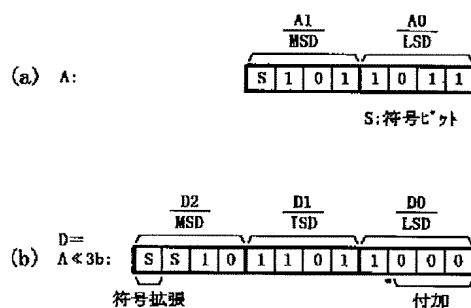
【図 11】



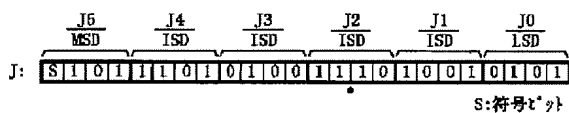
【図 12】



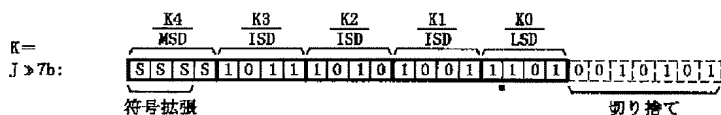
【図 13】



【図 14】



(a)



(b)

【図 1 5】

